

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

05-109977

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 03-270864

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 18.10.1991

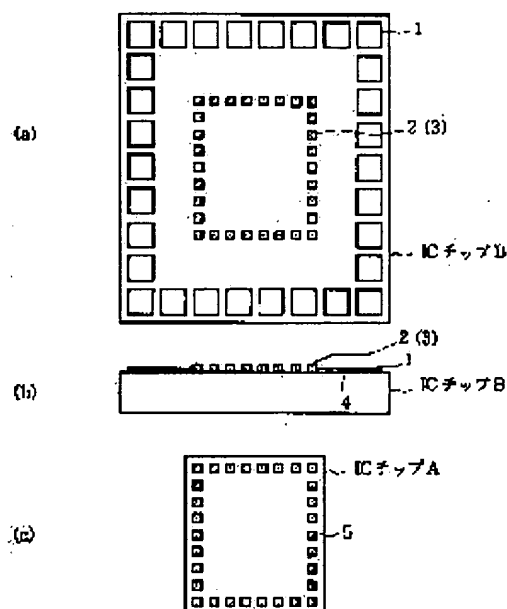
(72)Inventor : MIYAJIMA TATSUO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To eliminate a vacant space of an IC chip having multiple terminals and a small circuit area and also obtain a semiconductor device comprising various kinds of IC chips.

CONSTITUTION: A semiconductor device comprises pads 2 for connecting wire bonding pads 1 with an IC chip A, an IC chip B with bumps 3 made of noble metal formed with a thickness of 10 $\mu$ m or less formed on the pads 2 and the IC chip A equipped with pads 5 corresponding to the pads 2, wherein the pads 5 of the IC chip A are thermo-compression bonded to the pads 2 of the IC chip B. Thus IC chips of similar or dissimilar kinds having multiple terminals which can effectively eliminate a vacant space on the IC chip having a small circuit part can be easily made composite.



## LEGAL STATUS

[Date of request for examination] 04.07.1995

[Date of sending the examiner's decision of rejection] 22.07.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing one example of this invention.

[Drawing 2] It is the block diagram showing the connection condition of drawing 1.

[Drawing 3] It is drawing showing other examples of this invention.

[Drawing 4] It is the block diagram showing the connection condition of drawing 3.

[Drawing 5] It is the block diagram showing the connection condition of the example of further others of this invention.

[Drawing 6] It is drawing showing the example of further others of this invention.

[Drawing 7] They are a different process which shows the example of further others of this invention, and the block diagram showing the example of combination of the chip of the principle of operation.

[Drawing 8] It is drawing showing the example of further others of this invention, and is a block diagram using the chip of different a large number from the chip of drawing 7.

[Drawing 9] It is drawing showing the configuration of the conventional IC chip.

[Description of Notations]

1 Wirebonding Pad

2 Pad of IC Chip B for External Terminal Ejection

3 Bump

4 Wiring

5 Pad of IC Chip A for External Terminal Ejection

6 Restoration Resin

7 Bipolar Component Part

A IC chip

B IC chip

---

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-109977

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 25/065				
25/07				
25/18				
	7220-4M		H 0 1 L 25/ 08	B

審査請求 未請求 請求項の数8(全 7 頁)木1

(21)出願番号 特願平3-270864

(22)出願日 平成3年(1991)10月18日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 宮嶋 辰夫

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

(74)代理人 弁理士 高田 守 (外1名)

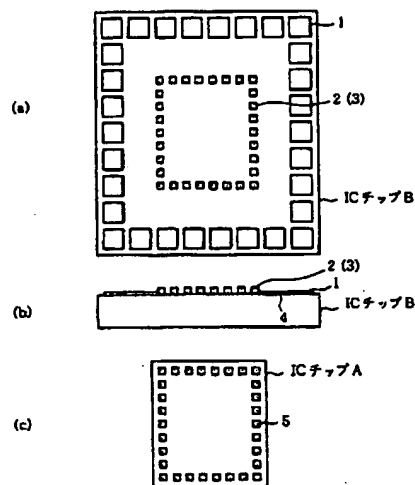
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 多端子で、回路部分の面積の小さなICチップの空きスペースをなくすとともに、多様な種類のICチップからなる半導体装置を得る。

【構成】 ワイヤボンディングパッド1とICチップAを接続するためのパッド2が設けられ、このパッド2上に貴金属からなるバンプ3をその厚みを10μm以下に形成したICチップBと、パッド2に対応するパッド5が設けられたICチップAとを有し、ICチップAのパッド5をバンプ3を介してICチップBのパッド2に熱圧着したことを特徴としている。

【効果】 多端子で、かつ回路部分の小さなICチップ上の空きスペースを効果的になくすことができ、同種、または異種のICチップの複合化が容易となる。



- 1 ワイヤボンディングパッド
- 2 外部端子取り出しのためのICチップBのパッド
- 3 バンプ
- 4 配線
- 5 外部端子取り出しのためのICチップAのパッド
- A ICチップ
- B ICチップ

## 【特許請求の範囲】

【請求項1】 周縁部にパッドが形成された少なくとも1個のICチップAと、このICチップAの前記パッドの各々またはその一部のパッドに対応して重ね合う位置にパッドをもち、かつワイヤボンドのために十分な大きさのワイヤボンディングパッドを周縁部にもつICチップBとが、前記ICチップAのパッドとICチップBのパッドのいずれか一方、もしくは双方のパッド上に形成された貴金属からなるバンブにより熱圧着されていることを特徴とする半導体装置。

【請求項2】 貴金属からなるバンブは、厚みが $10\mu\text{m}$ 以下であることを特徴とする請求項1記載の半導体装置。

【請求項3】 貴金属からなるバンブによって熱圧着するICチップAのパッドがICチップAの平面内の任意の位置に配置されていることを特徴とする請求項1記載の半導体装置。

【請求項4】 ICチップBのバンブによってICチップAのパッドと熱圧着されるパッドの各々が対応するワイヤボンディングパッドと前記ICチップBの表面部分に形成された配線によって電気的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項5】 ICチップAとICチップBとの間にバンブにより形成される隙間に樹脂が充填されていることを特徴とする請求項1記載の半導体装置。

【請求項6】 ICチップAおよびICチップBはいずれも集積回路または能動素子を搭載していることを特徴とする請求項1記載の半導体装置。

【請求項7】 ICチップAおよびICチップBはいずれも集積回路を搭載しており、ICチップAは複数個が設けられ、少なくともICチップAの1つが他のICチップAに搭載された集積回路と動作原理の異なる能動素子の集積回路で構成されていることを特徴とする請求項6記載の半導体装置。

【請求項8】 ICチップAは複数個が設けられ、少なくともその1つが他のICチップと基板材料を異にしていることを特徴とする請求項6記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、多数の入出力ピンを有するICチップと、回路部分が小さく、空きスペースがないパッドサイズを有するICチップとを接続して構成された半導体装置に関するものである。

## 【0002】

【従来の技術】 以下では、ICチップとしてグルーロジック（アンド、オア等の基本ロジック）のように、極めてI/O数の多いゲートアレイ（以下、G/Aと記す）を例にとり、図9（a）、（b）を参照して説明する。ゲート数が2～3Kゲートで、I/O数が120～160ピンも必要な場合、あるいは将来、設計ルールが0.

$6\mu\text{m}$ 、 $0.4\mu\text{m}$ とファイン化し、図9（a）、

（b）に示すように、ロジック部12が小さくなるとワイヤボンディングパッド11がチップサイズを決定してしまうため、ICチップCに空きスペース13が生じてしまう。ワイヤボンディングパッド11は、現状のワイヤボンディング装置のキャピラリの大きさ、位置精度、チップテストピンの機械的制限等から $100\mu\text{m}$ ピッチ程度が限界である。このため、必要な入出力端子数、すなわち、ワイヤボンディングパッド数が決まると、図9（a）あるいは千鳥状にワイヤボンディングパッド11を並べた図9（b）のように、最小のチップサイズが決定してしまう。図9（b）の千鳥状にワイヤボンディングパッド11を作れば空きスペース13は大幅に改善できるが、フレームへのワイヤボンディングに工夫が必要となる。いずれにせよ、ワイヤボンディングパッド11の1個の大きさが $100\mu\text{m}$ の幅程度と、絶対値の制限をもっているため、図9（a）、（b）の従来技術では、入出力端子数と内部ロジックのサイズの関係でICチップC内に空きスペース13ができてしまう場合がある。

## 【0003】

【発明が解決しようとする課題】 上記従来構造の欠点、すなわち入出力端子数がICチップCのロジック回路（G/Aの場合）のサイズに比べて多い場合、あるいは将来、デザインルールがファイン化してロジック部分が現在のサイズよりはるかに小さくなった場合、図9（a）、（b）に示すようなICチップC内に空きスペース13が生じ、チップコストが低減できなくなる。

【0004】 本発明は、上記のような従来の欠点を解決するためになされたもので、新しいチップ構造と、異種プロセスのチップの複合化、異種材料のチップの複合化をはかった半導体装置を得ることを目的とするものである。

## 【0005】

【課題を解決するための手段】 本発明に係る半導体装置は、1つのICチップAと他のICチップBの少なくとも2つのICチップより構成し、ICチップAはワイヤボンディングパッドよりはるかに小さなパッドをもち、このパッドとICチップBの対応するパッドとを、前記両パッドの一方または双方に形成した貴金属からなるバンブにより熱圧着したものである。

【0006】 また、バンブは厚みを $10\mu\text{m}$ 以下としたものである。さらに、ICチップAのパッドがICチップAの平面内の任意の位置に配置されたものである。また、ICチップBのパッドと対応するワイヤボンディングパッドとは配線により接続されている。さらに、ICチップAとICチップBとの間にバンブにより形成される隙間には樹脂が充填されている。また、ICチップAおよびICチップBにはいずれも集積回路または能動素子が搭載され、ICチップAに複数個が設けられ、その

うちの少なくとも1つは他と異なる動作原理の能動素子となっており、さらに複数のICチップAのうち少なくとも1つは他のものと基板材料を異にしたものである。

【0007】

【作用】本発明においては、ICチップAのパッドは、貴金属による熱圧着が可能であればよい。また、原理的にICチップAに空きスペースができないようなパッドサイズを選べる。一方、ICチップBは単に配線のみの時は低コスト化が可能で、高価なプロセスを用いるICチップAに空きスペースを作るより低コスト化が期待できる。

【0008】また、ICチップAとICチップBとの接続はICチップAの平面内の任意の位置で行える。また、ICチップBは配線でバンパとワイヤボンディングパッドとを接続しているため、低抵抗化が容易となる。また、隙間に充填された樹脂により樹脂モールド時の加圧力による両ICチップA、Bの接触が防止される。また、両ICチップA、Bに種々の集積回路や能動素子を搭載することにより大規模、複雑なマルチチップLSIが得られる。

【0009】

【実施例】以下、本発明の一実施例を図について説明する。図1(a)～(c)は本発明の一実施例を示す図で、図1(a)、(b)はICチップBの平面図と側面図であり、図1(c)はICチップAの平面図である。この実施例は、ICチップBに、ICチップAのパッド5と対応するパッド2を設け、このパッド2にICチップAのパッド5を熱圧着するためのバンパ3が形成され、さらにワイヤボンディングパッド1と、このワイヤボンディングパッド1をパッド2に電気的に接続する配線(多層配線でもよい)4を備えた最も単純な一例を示す。なお、配線4は図1(a)の平面図では省略されている。図2はICチップAとICチップBが熱圧着された状態を示す。

【0010】図1において、ICチップBは通常のIC製造に用いられる少なくとも1つの主面を、鏡面研磨したシリコンウエハを通常の酸化工程を通して表面を酸化したのち、Alの蒸着と、その後の写真製版工程によりパッド2、ワイヤボンディングパッド1および前記パッド2とワイヤボンディングパッド1を接続する配線4を形成する。次に、パッド2の部分に写真製版と化学的メッキにより、パッド2の上に金のバンパ3を約7μmの厚さに形成する。この厚さ(10μm以下)は、通常の写真製版で形成可能な写真製版の感光性レジスト膜の限界で、これ以上厚い膜厚を得るには特別な技術、装置を必要とする。また、本例ではバンパ3の厚さを7μmとしたが、これはICチップA、Bの表面構造、ICチップAの厚さおよびICチップAの大きさにより、10μm以下の厚さで任意に選べる。ICチップBのバンパ3で接合されるべきICチップAのパッド5はAl-Ti

-Au等の構造を用い、金でメタライズする。次に、ICチップAとICチップBを重ね赤外線顕微鏡による位置合わせをしたのち、100～150℃のN<sub>2</sub>ガス中でバンパ3の接触面積に対して50～500Kg/cm<sup>2</sup>(望ましくは100～200Kg/cm<sup>2</sup>)の加圧をし、約10分間で強固な接続を得る。この状態を図2(a)、(b)に示す。

【0011】本実施例により、例えば多数のI/Oを有する比較的小ゲート数のゲートアレイや、多端子で、かつデザインルールがファインになり、ワイヤボンディングパッドによりチップサイズが決定され、チップ内に空きスペースができる従来例の場合に対し、低コストの有効な解決策となる。

【0012】図3(a)～(c)は本発明の他の実施例を示すもので、図3(a)、(b)はICチップBの平面図と側面図、図3(c)はICチップAの平面図である。この実施例はICチップAのパッド5をICチップAの任意の場所に設けた例を示す。また、図4(a)、(b)にICチップAとICチップBに接続した状態を示す。なお、図3、図4におけるその他の符号は図1、図2と同じものを示す。バンパ3によるICチップAとICチップBの接続を任意の場所に設けることにより、以下のような作用効果が得られる。(1) ICチップBの配線4は、ICチップAより当然低抵抗(配線を厚く、幅を広く)に形成できる。したがって、電源供給、接地をICチップAの任意の場所に与えることにより、ICチップAの設計の自由度が大幅に改善されるとともに、全体として耐ノイズ性に優れた構成が可能となる。(2) バンパ3間の距離が、例えば1mm以下になるようにして、ICチップAの全体にパッド5およびバンパ3を分布させれば、バンパ3の厚さを5μm程度まで薄くできる。これは樹脂モールド時の樹脂への加圧力により、バンパ3間でシリコン基板が変形し、ICチップAとICチップBとが接触することがなくなるためである。このように、ICチップAの任意の部分に、バンパ3により接触を行うことにより、バンパ3の厚さを限度一杯まで薄くでき、バンパ形成が一層容易となる。

【0013】図5(a)、(b)は本発明の他の実施例を示す図で、ICチップAとICチップBとがモールドプレスの圧力による機械的変形で、その対向する面が接触するのを防ぐ方法を示すものである。すなわち、ICチップAとICチップBとを熱圧着後、室温付近では粘度が低い熱重合タイプの充填樹脂6をICチップA、ICチップBの間の隙間に毛細管現象を利用して注入する。しかる後、熱硬化し、またはそのまま樹脂モールドをする。この構造とすれば、樹脂モールド時の圧力でICチップAとICチップBの対向する面が接触することが避けられる。

【0014】図6(a)、(b)は本発明のさらに他の実施例を示す図で、ICチップBにバイポーラプロセス

によるI/F回路やアナログ回路を搭載した例を示す。この場合、ICチップAはフルCMOS回路とし、従来であればBi-CMOSプロセスを必要としてプロセス自体が高価となるのに対し、本方法ではCMOSプロセスとバイポーラプロセスを各々のICチップA、Bに適用することにより、安価に自由なチップ構成が得られる。なお、7はバイポーラ素子部分を示す。

【0015】図7(a)、(b)は本発明のさらに他の実施例を示す図で、ICチップAが複数個となる場合を示す。ICチップA<sub>1</sub>～A<sub>n</sub>で示すICチップAは、異なるプロセス、異なる動作原理の能動素子で形成することにより、例えばバイポーラアナログICチップ、CMOSロジック、ECLメモリ、CMOSメモリ等により、また、ICチップBにも能動素子を搭載することにより、大規模、複雑なマルチチップLSI・ICを構成できる。

【0016】図8(a)、(b)は本発明のさらに他の実施例を示す図で、ICチップAに異種材料のICチップまたは能動素子を少なくとも1個搭載した例を示すものである。例えば、ICチップAの1つであるICチップA<sub>2</sub>にGaAsの高周波プリスケータを、ICチップA<sub>1</sub>に高速ロジックを、また、ICチップA<sub>1</sub>にSi基板のCMOSロジックICチップを用いて、GHz帯の通信用LSI ICを構成することが可能となる。その他、LEDチップを搭載してホトカブラの構成も可能となる(図示していない)。

【0017】

【発明の効果】以上説明したように、本発明によれば、ワイヤボンディングパッドの物理的寸法の下限によって、ワイヤボンディングパッドの数が多いときは、その数によってチップサイズが決定された1つまたは複数のICチップを他方のICチップに接続する構成としたので、一方のICチップに空きスペースが生じるという不具合を解消できる。また、貴金属からなるバンパは厚みが10μm以下であるので、通常の写真製版技術で容易に実現できる。

【0018】さらに、ICチップAのパッドを、このICチップAの平面内の任意の位置に分布させることがで

\* きるので、ICチップBとの接続が任意の位置で実現できる。さらに、ICチップBのワイヤボンディングパッドとバンパとを配線で接続したので、ICチップAより低抵抗に形成でき、ICチップAの設計の自由度が大幅に改善される。また、ICチップAとICチップBとの間にバンパにより形成された隙間に樹脂が充填されているので、樹脂モールド時の樹脂への加圧力によっても両ICチップA、Bが接触することがなく、バンパの厚さを5μm程度まで薄くできる。

【0019】さらに、ICチップAを同一種類または異なる種類の集積回路または能動素子で構成し、これをICチップBに接続するようにしたので、大規模、複雑なマルチ・チップLSIを構成できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す図である。

【図2】図1の接続状態を示す構成図である。

【図3】本発明の他の実施例を示す図である。

【図4】図3の接続状態を示す構成図である。

【図5】本発明のさらに他の実施例の接続状態を示す構成図である。

【図6】本発明のさらに他の実施例を示す図である。

【図7】本発明のさらに他の実施例を示す異なるプロセス、動作原理のチップの組み合わせ例を示す構成図である。

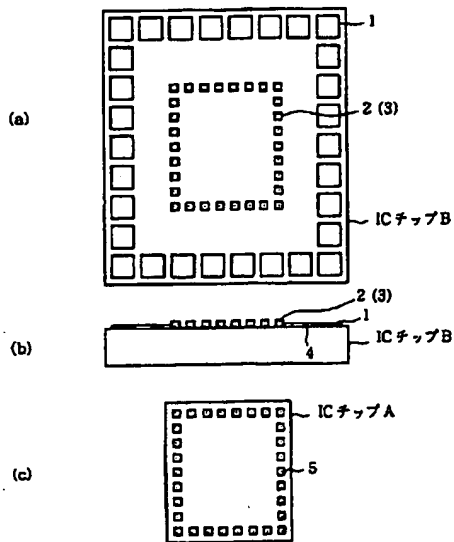
【図8】本発明のさらに他の実施例を示す図で、図7のチップと異なる多数のチップを用いた構成図である。

【図9】従来のICチップの構成を示す図である。

【符号の説明】

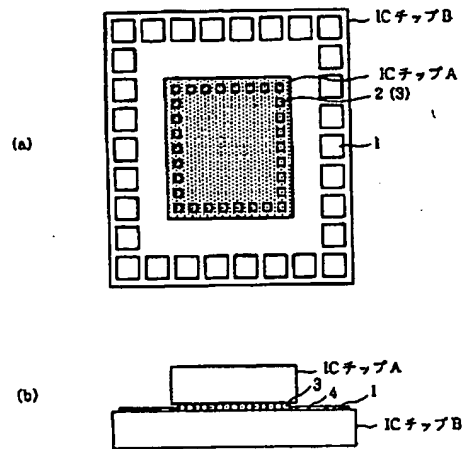
- 1 ワイヤボンディングパッド
- 2 外部端子取り出しのためのICチップBのパッド
- 3 バンパ
- 4 配線
- 5 外部端子取り出しのためのICチップAのパッド
- 6 充填樹脂
- 7 バイポーラ素子部分
- A ICチップ
- B ICチップ

【図1】

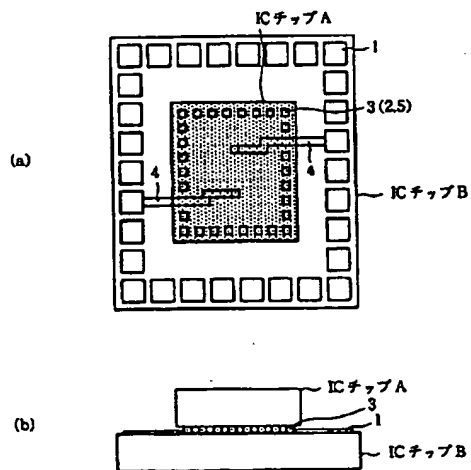


- 1 ワイヤボンディングパット  
 2 外部端子取り出しのためのICチップBのパッド  
 3 バンプ  
 4 配線  
 5 外部端子取り出しのためのICチップAのパッド  
 A ICチップ  
 B ICチップ

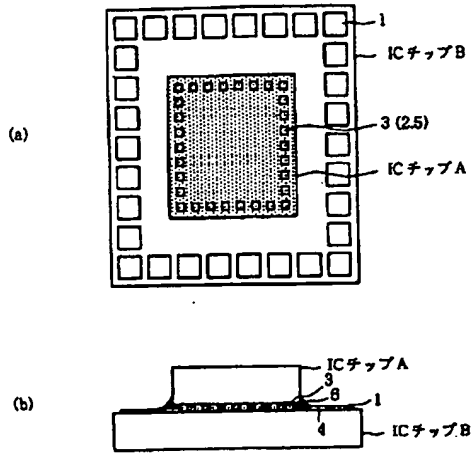
【図2】



【図4】

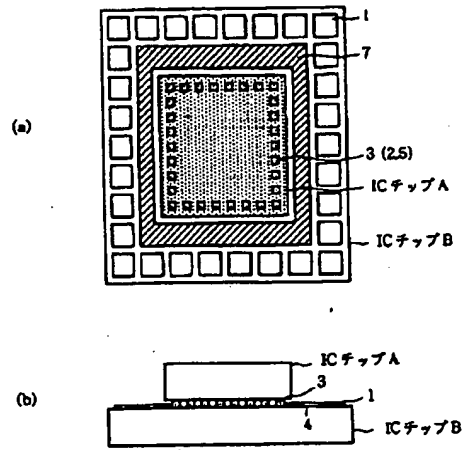


【図5】



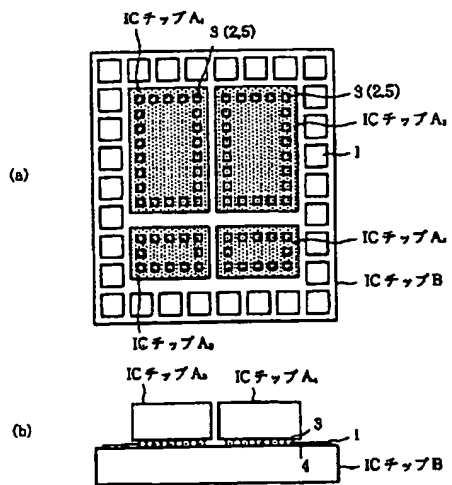
6 充填樹脂

【図6】

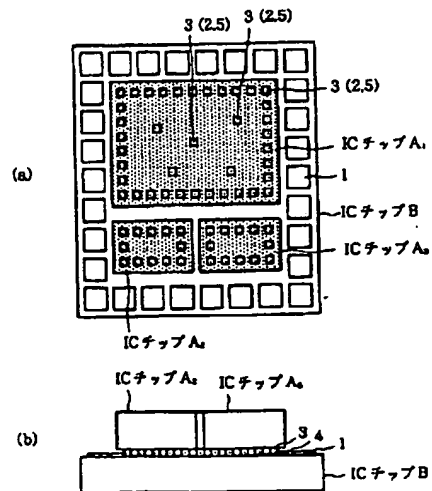


7 パイボラ電子部分

【図7】

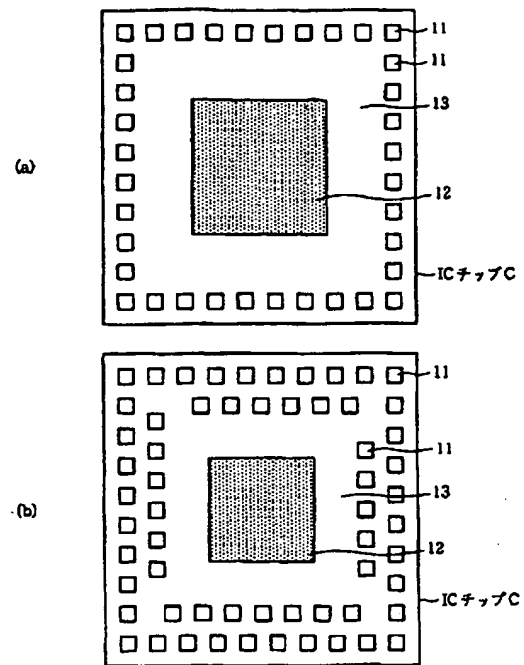


【図8】





【図9】



【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成8年(1996)10月18日

【公開番号】特開平5-109977  
 【公開日】平成5年(1993)4月30日  
 【年通号数】公開特許公報5-1100  
 【出願番号】特願平3-270864  
 【国際特許分類第6版】

H01L 25/065  
 25/07  
 25/18

【F I】

H01L 25/08 B 7220-4M

【手続補正書】

【提出日】平成7年7月4日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】図1において、ICチップBは通常のIC製造に用いられる少なくとも1つの主面を、鏡面研磨したシリコンウエハを通常の酸化工程を通して表面を酸化したのち、Alの蒸着と、その後の写真製版工程によりパッド2、ワイヤボンディングパッド1および前記パッド2とワイヤボンディングパッド1を接続する配線4を形成する。次に、パッド2の部分に写真製版と化学的メッキにより、パッド2の上に金のパンプ3を約7μmの厚さに形成する。この厚さ(10μm以下)は、通常の

写真製版で形成可能な写真製版の感光性レジスト膜の限界で、これ以上厚い膜厚を得るには特別な技術、装置を必要とする。また、本例ではパンプ3の厚さを7μmとしたが、これはICチップA、Bの表面構造、ICチップAの厚さおよびICチップAの大きさにより、10μm以下の厚さで任意に選べる。ICチップBのパンプ3で接合されるべきICチップAのパッド5はAl-Ti-Ni-Au等の構造を用い、金でメタライズする。次に、ICチップAとICチップBを重ね赤外線顕微鏡による位置合わせをしたのち、100~150℃のN<sub>2</sub>ガス中でパンプ3の接触面積に対して50~500Kg重/cm<sup>2</sup>(望ましくは100~200Kg重/cm<sup>2</sup>)の加圧をし、約10分間で強固な接続を得る。この状態を図2(a)、(b)に示す。

## \* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor device constituted by connecting IC chip which has many I/O pins, and IC chip which has the pad size which whose circuit part is small and does not have free space.

[0002]

[Description of the Prior Art] Below, like the GRU logic (and basic logic, such as Orr) as an IC chip, a gate array (it is hereafter described as G/A) with very many I/O is taken for an example, and it explains with reference to drawing 9 (a) and (b). Since the wirebonding pad 11 determines a chip size that the logic section 12 will become small as the design finizes with 0.6 micrometers and 0.4 micrometers in the future when the number of I/O is required also for 120 to 160 pin, and the gate number shows drawing 9 (a) and (b) at the 2 - 3K gate, free space 13 will be generated for the IC chip C. A mechanical limit of the magnitude of the capillary of the present wirebonding equipment, location precision, and a chip test pin etc. to 100-micrometer pitch extent of the wirebonding pad 11 is a limitation. For this reason, if the required number of input/output terminals, i.e., the number of wirebonding pads, is decided, the minimum chip size will be determined like drawing 9 (a) or drawing 9 (b) which put the wirebonding pad 11 in order alternately. Although free space 13 can improve sharply if the wirebonding pad 11 is made alternately [ drawing 9 (b) ], a device is needed for wirebonding to a frame. anyway, width-of-face extent whose magnitude of one piece of the wirebonding pad 11 is 100 micrometers and a limit of an absolute value -- \*\*\*\* -- since it is, with the conventional technique of drawing 9 (a) and (b), free space 13 may be made in the relation between the number of input/output terminals, and the size of internal logic in the IC chip C

[0003]

[Problem(s) to be Solved by the Invention] Free space 13 is generated conventionally [ above-mentioned ] in the IC chip C when many [ compared with the size of the logical circuit (when it is G/A) of the IC chip C ], or when the future and a design rule finize and become small far from the size of the present [ part / logic ], as is shown to drawing 9 (a) and (b), the fault, i.e., number of input/output terminals, of structure, and it becomes impossible to reduce chip cost.

[0004] This invention was made in order to solve the above conventional faults, and it aims at obtaining the semiconductor device which achieved compound-izing of new chip structure and the chip of a different-species process, and compound-ization of the chip of a dissimilar material.

[0005]

[Means for Solving the Problem] Constituting the semiconductor device concerning this invention from at least two IC chips, one IC chip A and other IC chips B, the IC chip A has a pad far smaller than a wirebonding pad, and carries out thermocompression bonding by the bump who consists of noble metals in which this pad and the pad with which the IC chip B corresponds were formed to one side or the both sides of said both pads.

[0006] Moreover, a bump used to set thickness to 10 micrometers or less. Furthermore, the pad of the IC chip A is arranged in the location of the arbitration within the flat surface of the IC chip A. Moreover, the pad of the IC chip B and the corresponding wirebonding pad are connected by wiring. Furthermore, the clearance formed of a bump between the IC chip A and the IC chip B is filled up with resin. Moreover, an integrated circuit or an active element is carried in the IC chip A and the IC chip B by each, plurality is prepared in the IC chip A, at least one of them is the active element of the different principle of operation from others, and at least one of further two or more IC chips A differs in other things and substrate ingredients.

[0007]

[Function] In this invention, if thermocompression bonding with noble metals is possible for the pad of the IC chip A, since it is good, it can choose pad size as for which free space is not theoretically made to the IC chip A. On the other hand, the IC chip B can only expect low cost-ization rather than low-cost-izing is possible for the time only of wiring and it makes free space for the IC chip A using an expensive process.

[0008] Moreover, connection between the IC chip A and the IC chip B can be made in the location of the arbitration within the flat surface of the IC chip A. Moreover, since the IC chip B has connected the bump and the wirebonding pad with wiring, low resistance-ization becomes easy. Moreover, contact of both the IC chips A and B by the welding pressure at the time of resin mold is prevented by the resin with which the clearance was filled up. Moreover, large-scale and the complicated multichip LSI are obtained by carrying various integrated circuits and active elements in both the IC chips A and B.

[0009]

[Example] Hereafter, one example of this invention is explained about drawing. Drawing 1 (a) - (c) is drawing showing one example of this invention, drawing 1 (a) and (b) are the top views and side elevations of the IC chip B, and drawing 1 (c) is the top view of the IC chip A. The pad 2 corresponding to the IC chip B is formed with the pad 5 of the IC chip A, the bump 3 for carrying out thermocompression bonding of the pad 5 of the IC chip A to this pad 2 is formed, and this example shows simplest example equipped with the wiring (a multilayer interconnection is sufficient) 4 which connects electrically the wirebonding pad 1 and this wirebonding pad 1 to a pad 2 further. In addition, wiring 4 is omitted with the top view of drawing 1 (a). Drawing 2 shows the condition that thermocompression bonding of the IC chip A and the IC chip B was carried out.

[0010] In drawing 1, the IC chip B forms the wiring 4 which connects a pad 2, the wirebonding pad 1 and said pad 2, and the wirebonding pad 1 with vacuum evaporation of aluminum according to a subsequent photoengraving-process process, after oxidizing a front face through the usual oxidation process in the silicon wafer which carried out mirror polishing of at least one principal plane used for the usual IC manufacture. Next, the golden bump 3 is formed [ the part of a pad 2 ] on a pad 2 by photoengraving process and chemical plating at the thickness of about 7 micrometers. This thickness (10 micrometers or less) is the limitation of the photosensitive resist film of the photoengraving process which can be formed by the usual photoengraving process, and needs a technique special to obtaining thick thickness more than this, and equipment. Moreover, although a bump's 3 thickness was set to 7 micrometers in this example, this can be chosen as arbitration by the thickness of 10 micrometers or less with the surface structure of the IC chips A and B, the thickness of the IC chip A, and the magnitude of the IC chip A. Metallizing of the pad 5 of the IC chip A which should be joined by the bump 3 of the IC chip B is carried out with gold using structures, such as aluminum-Ti-Au. Next, N2 [ 100-150-degree C ] after repeating the IC chip A and the IC chip B and carrying out alignment by the infrared microscope 2 (desirably 100-200kg a pile/cm<sup>2</sup>) is pressurized cm 50-500kg a pile /to a bump's 3 touch area in gas, and firm connection is obtained in about 10 minutes. This condition is shown in drawing 2 (a) and (b).

[0011] By this example, it becomes an effective solution to to the case where it is the gate array and many-items child of the small gate number, and is the conventional example which has much I/O and by which a chip size is determined for a design rule by the wirebonding pad in fine \*\*, and free space is made in a chip, comparatively.

[0012] Drawing 3 (a) - (c) shows other examples of this invention, and the top view of the IC chip B, a side elevation, and drawing 3 (c) of drawing 3 (a) and (b) are the top views of the IC chip A. This example shows the example which formed the pad 5 of the IC chip A in the location of the arbitration of the IC chip A. Moreover, the condition of having connected with the IC chip A and the IC chip B at drawing 4 (a) and (b) is shown. In addition, the sign of others in drawing 3 and drawing 4 shows the same thing as drawing 1 and drawing 2. The following operation effectiveness is acquired by preparing connection of the IC chip A and the IC chip B by the bump 3 in the location of arbitration. (1) Naturally the wiring 4 of the IC chip B can be formed in low resistance (it is thick in wiring and is about width of face) from the IC chip A. Therefore, while the degree of freedom of a design of the IC chip A is sharply improved by the ability taking current supply and touch-down in the location of the arbitration of the IC chip A, the configuration which was excellent in noise-proof nature as a whole is attained. (2) If the distance between bumps 3 distributes a pad 5 and a bump 3 over the whole IC chip A as it is set to 1mm or less, it can make a bump's 3 thickness thin to about 5 .. micrometers. This is because it is lost with the welding pressure to the resin at the time of resin mold that a silicon substrate deforms among bumps 3 and the IC chip A and the IC chip B contact. thus, the thing for which the part of the arbitration of the IC chip A is contacted by the bump 3 -- a bump's 3 thickness -- until limit full -- it can do thinly and bump formation becomes still easier.

[0013] Drawing 5 (a) and (b) are drawings showing other examples of this invention, and the IC chip A and the IC chip B are the mechanical deformations by the pressure of a mold press, and they show how to prevent the field which counters contacting. That is, near a room temperature, thermal polymerization type restoration resin 6 with low viscosity is poured into the clearance between the IC chip A and the IC chip B for the IC chip A and the IC chip B after thermocompression bonding using capillarity. After an appropriate time, it heat-hardens, or it remains as it is and resin mold is carried out. It is avoided that this structure, then the field where the IC chip A and the IC chip B counter by the pressure at the time of resin mold contact.

[0014] Drawing 6 (a) and (b) are drawings showing the example of further others of this invention, and show the example which carried the I/F circuit and analog circuit by the bipolar process to the IC chip B. In this case, a cheaply

free chip configuration is obtained by making the IC chip A into a full CMOS circuit, and applying a CMOS process and a bipolar process to each IC chips A and B by this approach to needing a BiCMOS process and the process itself becoming expensive, if it is the former. In addition, 7 shows a bipolar component part.

[0015] Drawing 7 (a) and (b) are drawings showing the example of further others of this invention, and show the case where the IC chip A becomes [ two or more ]. The IC chip A1 - A4 The shown IC chip A can constitute large-scale and complicated multichip LSI-IC by carrying an active element in the IC chip B again by for example, the bipolar analog IC chip, CMOS logic, ECL memory, a CMOS memory, etc. by forming by the active element of a different process and the different principle of operation.

[0016] Drawing 8 (a) and (b) are drawings showing the example of further others of this invention, and show the example which carried IC chip or at least one active element of a dissimilar material to the IC chip A. For example, IC chip A2 which is one of the IC chips A It is the high frequency prescaler of GaAs IC chip A3 About high-speed logic, it is the IC chip A1 again. It becomes possible using the CMOS logic IC chip of Si substrate to constitute LSIIC for a communication link of a GHz band. In addition, an LED chip is carried and the configuration of a photocoupler also becomes possible (not shown).

[0017]

[Effect of the Invention] Since it considered as the configuration which connects to IC chip of another side one or more IC chips with which the chip size was determined by the number by the physical lower dimension bound of a wirebonding pad according to this invention when there were many wirebonding pads as explained above, the fault that free space is generated for one IC chip is cancelable. Moreover, since thickness is 10 micrometers or less, the bump who consists of noble metals can be easily realized with the usual photoengraving-process technique.

[0018] Furthermore, since the pad of the IC chip A can be distributed over the location of the arbitration within the flat surface of this IC chip A, connection with the IC chip B can be realized in the location of arbitration. Furthermore, since the wirebonding pad and bump of the IC chip B were connected with wiring, from the IC chip A, it can form in low resistance and the degree of freedom of a design of the IC chip A is improved sharply. Moreover, since the clearance formed of the bump between the IC chip A and the IC chip B is filled up with resin, both the IC chips A and B do not contact with the welding pressure to the resin at the time of resin mold, either, and a bump's thickness can be made thin to about 5 micrometers.

[0019] Furthermore, since the IC chip A is constituted from the integrated circuit or active element of the same class or a different class and this was connected to the IC chip B, the large-scale and complicated multi-chip LSI can be constituted.

---

[Translation done.]